

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. H01J 1/30	(11) 공개번호 (43) 공개일자	특2001-0081496 2001년08월29일
(21) 출원번호	10-2000-0007115	
(22) 출원일자	2000년02월15일	
(71) 출원인	삼성에스디아이 주식회사, 김순택 대한민국 442-390 경기 수원시 팔달구 신동 575번지	
(72) 발명자	최준희 대한민국 442-470 경기도수원시팔달구영통동황골마을쌍용아파트248동901호 정재은 대한민국 449-900 경기도용인시기흥읍농서리산14 정소연 대한민국 151-020 서울특별시관악구신림10동320해바라기주택7동105호 최용수 대한민국 151-057 서울특별시관악구봉천7동296낙성대현대202동1204호 이내성 대한민국 121-080 서울특별시마포구대흥동241-12 김종민 대한민국 463-480 경기도성남시분당구금곡동청솔마을한라아파트305동1006호	
(74) 대리인	이영필 조혁근 이해영	
(77) 심사청구	있음	
(54) 출원명	금속 메쉬 그리드를 채용한 전계 방출 소자 및 그 제작방법과 방출 전자의 포커싱 방법	

요약

본 발명은 전계 방출 소자에 관한 것으로, 상세하게는 아크(Arcing) 생성시 손상(damage)을 방지하고 방출 전자의 집속(focusing)을 도와주는 메쉬 그리드를 갖는 전계 방출 소자(Field Emission Device) 및 그 제작 방법 방출 전자의 포커싱 방법을 기재한다. 본 발명에 따른 아크(Arcing)에 의한 손상(damage)을 방지하고 방출 전자의 집속(focusing)을 도와주는 메쉬 그리드를 채용한 전계 방출 소자(Field Emission Device)는 게이트와 양극들 사이의 공간에 양극들과 음극들의 교차점들에 대응하는 영역들에 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드를 구비하고, 또한 이 금속 메쉬 그리드의 위치를 요철 형태의 막대 스페이서로 조정하여 설치함으로써, Arcing시 cathode에 발생하는 damage가 없고, arcing 발생이 최소화 되므로써 anode에 고전압의 인가가 가능하여 고휘도의 FED를 얻는다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 전계 방출 소자의 구조를 개략적으로 나타낸 단면도,

도 2는 본 발명에 따른 전계 방출 소자의 구조를 개략적으로 나타낸 단면도,

도 3a는 도 2의 전계 방출 소자의 구조에서 전면 기판에 형성된 형광체와 스페이서 홀더의 모습을 평면적으로 보여주는 도면,

도 3b는 도 2의 전계 방출 소자의 구조에서 스페이서 홀더에 장착되는 스페이서의 개략적 모습을 보여주는 도면,

도 3c는 도 2의 전계 방출 소자의 구조에서 전면 기판에 스페이서와 함께 고정되는 금속 메쉬 그리드의 모습을 평면적으로 보여주는 도면,

도 3d는 도 2의 전계 방출 소자의 구조에서 전면 기판에 형성된 형광체와 스페이서 및 메쉬 그리드가 결합된 모습을 보여주는 사시도,

도 4a 및 도 4b는 각각 도 3d의 결합 구조에서 형광체와 메쉬 그리드의 배치관계를 수직 방향과 수평 방향에서 나타낸 도면들,

도 5는 도 3d의 결합 구조에서 금속 메쉬 그리드와 전극 단자를 전기적으로 연결하는 도전성 페이스트의 도포 위치를 나타내는 도면,

도 6은 도 2의 전계 방출 소자에서 색순도가 좋아지는 조건을 시뮬레이션한 결과로서, 방출 전자의 궤적을 나타내는 도면,

도 7은 도 2의 전계 방출 소자에서 메쉬 그리드에 인가되는 전압에 따른 양극 전류의 양을 나타내는 그래프,

그리고 도 8a 및 도 8b는 도 2의 전계 방출 소자에서 메쉬 그리드와 게이트 간의 간격($d3-t_{\text{mesh}}$)이 각각 140 μm 와 340 μm 일 경우에 메쉬 그리드에 80V의 인가시 나타나는 방출 전자빔의 궤적을 나타내는 도면들이다.

<도면의 주요부분에 대한 부호의 설명>

- | | |
|---------------|------------------|
| 1. 배면기판 | 2. 음극 |
| 3. 절연층 | 3'. 홀 |
| 4. 게이트 | 4'. 개구부 |
| 5. 전면 기판 | 6. 양극 |
| 7. 형광체 | 8. 스페이서 |
| 11. 배면기판 | 12. 음극 |
| 13. 절연층 | 13'. 홀 |
| 14. 게이트 | 14'. 개구부 |
| 15. 전면 기판 | 16. 양극 |
| 17. 형광체 | 18. 스페이서 |
| 19. 금속 메쉬 그리드 | 19'. 개구부(도트) |
| 19a. 절개부 | 20. 제1스페이서 홀더 |
| 21. 제2스페이서 홀더 | 22. 메쉬 그리드 전극 단자 |
| 23. 유리 홀더 | 24. 도전성 페이스트 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 방출 소자에 관한 것으로, 상세하게는 아크(Arcing) 생성시 손상(damage)을 방지하고 방출 전자의 집속(focusing)을 도와주는 메쉬 그리드를 갖는 전계 방출 소자(Field Emission Device) 및 그 제작 방법 방출 전자의 포커싱 방법에 관한 것이다.

도 1은 종래의 전계 방출 소자의 구조를 개략적으로 나타낸 단면도이다. 도시된 바와 같이, 기존의 전계 방출 소자는 기본적으로 투명한 전면 기판(5)과 배면 기판(1)을 구비하고 이들 사이에 스페이서(8)를 배치하여 일정한 간격을 유지하는 구조를 갖는다. 배면 기판(1) 상에는 스트라이프 상의 음극(2)들을 형성하고, 그 위에 절연층(3)을 형성한 다음 그 위에 음극(2)과 교차하는 방향의 스트라이프 상으로 게이트(4)들이 형성되어 있으며, 음극(2) 상의 절연층(3)에는 홀(3')들이 형성되고 이 홀(3')들에 의해 노출된 음극(2) 상에는 전자 방출을 위한 마이크로팁(2')들이 형성되어 있으며, 게이트(4)들에는 홀(3')들에 대응하는 개구부(4')가 형성되어 있어 마이크로팁(2')으로부터 방출된 전자들이 양극 쪽으로 방출될 수 있도록 되어있다. 그리고, 전면 기판(5)의 내측 대향면 상에는 음극(2)과 교차하는 방향의 스트라이프 상으로 양극(6)들이 형성되고, 양극(6)들 상에는 형광체(7)가 도포되어 있어서, 마이크로팁(2')으로부터 방출되어 양극(6) 쪽으로 진행하는 전자들이 형광체(7)에 부딪혀 빛을 내게 된다.

이와 같이 전자들이 방출되는 동안에 두 기판 사이의 내부공간에는 아크 방전이 발생하는 수가 있다. 이러한 아크(arc) 발생의 원인은 정확하게 규명되어 있지 않으나, 기판(panel) 내부에서 발생하는 아웃가스(outgassing) 등에 의하여 순간적으로 많은 가스가 이온화(avalanche phenomena)되면서 일어나는 방전(discharge) 현상에 의하여 생기는 것으로 추정된다. FEA's를 제조하여 챔버 테스트(chamber testing) 또는 봉착(sealing)된 FED 테스트(testing)시에 1KV이상의 양극(anode) 전압을 인가할 때에는 고진공에서도 아크(arc)가 일어난다. 아크(Arcing)가 일어난 후에 FEA's의 표면을 광학 현미경(optical microscope)으로 관찰하면 아크(arc)에 의한 손상(damage)이 게이트 가장자리(gate edge) 쪽에서 주로 일어남을 알 수 있다. 이는 게이트 가장자리(gate edge) 부분이 날카롭게 되어 있기 때문에 고 전장(high electric field)이 인가되어 이 부분에서 아크(arc)가 일어나는 것으로 추정된다. 아크(Arcing)는 양극(anode)과 게이트(gate) 간에 전기적 단락 현상을 일으키므로, 게이트에 높은 전압이 걸리게 되어 게이트 산화물(gate oxide) 및 저항층(resistive layer)에 손상(damage)을 주게 된다. 이러한 가능성은 양극 전압이 증가함에 따라 더욱 심하게 일어나며 결국은 1KV이상의 양극 전압 인가시에는 아크(arc) 가능성이 더욱 커져서, 기존의 전계 방출 소자에서와 같이 음극(cathode)과 양극이 스페이서로 결합되어 있는 단순한 구조에서는 고전압에서 안정적으로 동작하는 고휘도 FED를 얻기가 불가능하다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 개선하고자 창안한 것으로, 고전압 인가에 따른 아크 방전의 발생을 방지할 수 있도록 방출 전자들을 제어하는 금속 메쉬 그리드를 채용한 전계 방출 소자 및 그 제작 방법과 방출 전자의 포커싱 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 따른 금속 메쉬 그리드를 채용한 전계 방출 소자는, 일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판; 상기 배면 기판 상에 스트라이프 상으로 형성된 음극들; 상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홈들을 갖는 절연층; 상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홈들에 대응하는 개구부를 갖는 게이트들; 상기 홈들에 의해 노출된 음극 상에 형성된 마이크로팁들; 상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 및 상기 양극들 상에 도포된 형광체;를 구비한 전계 방출 소자에 있어서, 상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 것을 특징으로 한다.

본 발명에 있어서, 상기 금속 메쉬 그리드는 음극과 나란한 방향으로 요철 형태로 형성된 막대 모양의 스페이서에 지지되며, 상기 스페이서의 요철에서의 돌출부가 삽입되는 절개부를 갖도록 형성되고, 상기 금속 메쉬 그리드의 상기 게이트 대향면 상에는 절연막이 코팅된 것이 바람직하다.

또한, 본 발명에 있어서, 상기 금속 메쉬 그리드는 스테인리스 강으로 형성되고, 상기 스페이서는 유리로 형성되며, 상기 전면 기판의 양쪽 가장자리에는 상기 막대 모양의 스페이서 가장자리가 각각 결합되는 홈들을 갖는 스페이서 홀더;가 부착되고, 상기 전면 기판의 4개의 가장자리 중 상기 스페이서 홀더가 형성되지 않는 가장자리에는 상기 금속 메쉬 그리드를 지지하는 유리 홀더 및 이 유리 홀더에 연이은 상기 전면 기판의 영역에 상기 금속 메쉬 그리드에 전압을 인가하기 위한 전극 단자가 형성된 것이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 금속 메쉬 그리드를 채용한 전계 방출 소자의 제작 방법은, 일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판; 상기 배면 기판 상에 스트라이프 상으로 형성된 음극들; 상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홈들을 갖는 절연층; 상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홈들에 대응하는 개구부를 갖는 게이트들; 상기 홈들에 의해 노출된 음극 상에 형성된 마이크로팁들; 상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 상기 양극들 상에 도포된 형광체; 및 상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 전계 방출 소자의 제작 방법에 있어서, (가) 상기 배면 기판 상에 상기 음극, 절연층, 게이트 및 마이크로팁들을 형성하는 단계; (나) 상기 전면 기판 상에 양극들 및 형광체를 형성하고, 그 위에 상기 금속 메쉬 그리드를 제작하여 그 개구부들이 상기 양극들과 정렬되도록 하여 고정시키는 단계; 및 (다) 상기 (가) 및 (나) 단계에서 각각 형성된 배면 기판과 전면기판을 결합시켜 패키징하는 단계;를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 (나) 단계에서 상기 메쉬 그리드의 각 개구부는 상기 각 형광체 색상과 일대일로 대응되도록 형성되는 것이 바람직하고, 상기 메쉬 그리드는 남아 있는 잔류 응력을 제거하기 위하여, 상기 금속 메쉬 그리드를 미리 소성하는 전소성 단계; 및 상기 전소성된 금속 메쉬 그리드를 이 금속 메쉬 그리드 전체 크기 보다 큰 두 개의 유리 기판 사이에 끼워넣고 300~500℃ 사이의 온도에서 소성을 행하는 단계;를 더 포함하는 것이 바람직하며, 상기 금속 메쉬 그리드는 음극과 나란한 방향으로 요철 형태로 형성된 막대 모양의 스페이서에 지지되며, 상기 스페이서의 요철에서의 돌출부가 삽입되는 절개부를 갖도록 형성되며, 상기 (나) 단계에서 상기 금속 메쉬 그리드의 상기 게이트 대향면 상에 절연층을 형성하는 단계를 더 포함하는 것이 바람직하다.

또한, 본 발명에 있어서, 상기 (나) 단계는, (나-1) 상기 막대 모양의 요철형 스페이서를 알루미늄으로 제작하는 서브 단계; (나-2) 상기 전면 기판의 양쪽 가장자리에 상기 스페이서를 고정하기 위한 홈들을 갖는 제1스페이서 홀더와 제2스페이서 홀더 및 상기 메쉬 그리드와 이 메쉬 그리드에 전압을 인가하기 위한 전극 단자를 각각 붙이기 위한 홀더를 형성하는 서브 단계; (나-3) 상기 메쉬 그리드를 상기 양극들과 정렬하여 상기 전면 기판에 접합시키는 서브 단계;를 포함하되, 상기 (나-2) 서브 단계에서 상기 제1스페이서 홀더는 일체형으로 형성하며, 상기 제2스페이서 홀더는 날개로 형성하여 한개 당 한개의 스페이서를 끼울 수 있도록 하여 상기 제1스페이서 홀더의 홈 사이에 상기 스페이서를 끼우고 상기 스페이서를 형광체에 대하여 정렬시키고, 상기 (나-2) 서브 단계에서, 상기 요철 모양의 스페이서에서 양극 쪽에 접해있는 지지부분의 길이를 d1, 가운데의 살부분의 길이를 d2, 상기 음극에 접해있는 지지부분의 길이를 d3라 할 때, 상기 제1스페이서 홀더 및 상기 제2스페이서 홀더에서 홈의 길이는 d2로 형성하며, 상기 홀더는 상기 메쉬 그리드의 전극 단자 보다 면적은 작고, d1+d2에 해당하는 높이로 형성하며, 상기 (나-3) 서브 단계는, (나-3-1) 상기 전면 기판의 양극들에 정렬된 상기 스페이서들의 돌출부를 상기 금속 메쉬 그리드의 절개부에 끼워 넣은 후 고정용 페이스트를 도포하는 서브 단계; (나-3-2) 상기 고정용 페이스트가 굳기 전에 상기 메쉬 그리드의 개구부와 상기 양극들을 정렬시키는 서브 단계; (나-3-3) 상기 메쉬 그리드를 상기 메쉬 그리드 전극 단자와 전기적으로 연결시키기 위하여 도전성 페이스트를 상기 홀더 상에 얹힌 상기 메쉬 그리드의 가장자리와 상기 전극 단자 상면의 상기 홀더 측면에 도포하는 서브 단계; (나-3-4) 상기 도전성 페이스트 도포후 100~250℃에서 상기 전면 기판을 건조시킨 다음, 300~450℃에서 소성 공정을 실시하는 서브 단계;를 포함하는 것이 바람직하다.

또한, 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 금속 메쉬 그리드를 채용한 전계 방출 소자의 방출 전자 포커싱 방법은, 일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판; 상기 배면 기판 상에 스트라이프 상으로 형성된 음극들; 상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홀들을 갖는 절연층; 상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홀들에 대응하는 개구부를 갖는 게이트들; 상기 홀들에 의해 노출된 음극 상에 형성된 마이크로팁들; 상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 상기 양극들 상에 도포된 형광체; 및 상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 전계 방출 소자의 방출 전자 포커싱 방법에 있어서, (가) 상기 게이트에 70~120V의 전압을 인가하고, 상기 양극에는 1KV 이상의 전압을 인가하는 단계; (나) 상기 메쉬 그리드에 인가되는 전압을 -100V~300V로 조절하여 상기 마이크로팁으로부터 방출되는 전자 빔의 최적의 집속 조건을 찾는 단계; (다) 상기 금속 메쉬 그리드에 인가되는 전압을 가변하면서 최적의 색순도를 가지는 조건을 찾되, 이와 동시에 휘도를 고려하여 상기 금속 메쉬 그리드와 게이트 간의 간격($d3-t_{\text{mesh}}$)을 바꿔가면서, 표시되는 영상(image)의 색순도 및 휘도가 최적인 조건을 찾는 단계;를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 (다) 단계에서, 상기 메쉬 그리드의 인가 전압을 0V로 하고, 상기 메쉬 그리드와 게이트 간의 간격($d3-t_{\text{mesh}}$)을 100 μm 조절하는 것이 바람직하다.

이하 도면을 참조하면서 본 발명에 따른 금속 메쉬 그리드를 채용한 전계 방출 소자 및 그 제작 방법과 방출 전자의 포커싱 방법을 상세하게 설명한다.

도 2는 본 발명에 따른 아크 방지용 금속 메쉬 그리드를 채용한 전계 방출 소자의 개략적 단면도이다. 도시된 바와 같이, 본 발명에 따른 전계 방출 소자는 기본적으로는 기존의 전계 방출 소자와 마찬가지로 투명한 전면 기판(15)과 배면 기판(11)을 구비하고 이들 사이에 스페이서(18)를 배치하여 일정한 간격을 유지하는 구조에, 배면 기판(11) 상에는 스트라이프 상의 음극(12)들과 절연층(13) 및 음극(12)과 교차하는 방향의 스트라이프 상의 게이트(14)들을 순차로 구비하되, 음극(12) 상의 절연층(13)에는 홀(13')들을 형성하고 이 홀(13')들에 의해 노출된 음극(12) 상에는 마이크로팁(12')들을 구비하며, 게이트(14)들에는 홀(13')들에 대응하는 개구부(14')를 구비하며, 그리고, 전면 기판(15)의 내측 대향면 상에는 음극(12)과 교차하는 방향의 스트라이프 상으로 양극(16)들이 형성되고, 양극(16)들 상에는 형광체(17)를 구비한 구조를 갖는다. 다만, 게이트와 양극 사이에 마이크로팁(12')으로부터 방출되는 전자들을 제어하는 금속 메쉬 그리드(19)를 더 구비하는 점을 특징으로 하고, 이러한 금속 메쉬 그리드를 일정한 위치에 고정되도록 지지하는 스페이서 배치에도 특징이 있다.

이와 같은 구성을 갖는 아크 방지용 금속 메쉬 그리드를 갖는 전계 방출 소자는, 도 2 및 도 4a에 도시된 바와 같이, 적, 녹, 청(R,G,B)색의 1 색상(color) 단위로 개구(open)된 어레이 패턴(array pattern)을 가지는 금속 메쉬(metal mesh) 그리드를 게이트(gate)와 양극(anode) 사이에 넣어 줌으로써, -100V~300V 정도의 전압을 인가하여 주더라도 게이트 가장자리(gate edge)에 걸리는 전기장(electric field) 값이 작아져 아크(arc)를 비교적 잘 방지하고, 아크(arc) 발생시 이온(ion)들이 음극(cathode)에 손상(damage)을 주기전에 금속 메쉬(metal mesh)에 포집되어 외부 접지(ground)로 빠지게 함으로써, 아크(arc)에 의한 기계적 손상(damage) 및 양극(anode) 전압 일부가 음극(cathode)에 인가되는 전기적 손상(damage)이 방지된다.

이상과 같은 구조를 갖는 전계 방출 소자의 제작 방법은 다음과 같다.

먼저, 도 2에 도시된 바와 같이, 배면 기판(11) 상에 음극(12) 및 Field emitter arrays(12')를 형성한다. 식각에 의한 팁(Etched tip) 형성 방법이나 스프린트(Spind't)법으로 마이크로팁(12')을 형성하여 FEAs(Field emitter arrays)를 배면 기판(11) 상에 형성한다. 여기서, 매트릭스 어드레싱(Matrix addressing)이 가능한 FEAs이면 위의 2 가지 방식 외에도 사용가능하다.

다음에, 메쉬 그리드(Mesh grid), 스페이서(spacer) 및 형광체(phosphor)가 형성되어 있는 전면 기판을 형성한다. 이는 다음과 같은 순서로 형성된다.

첫째, 도 3a에 도시된 바와 같이, 형광체(Phosphor) 및 블랙 매트릭스(black matrix)를 형성한다. 전면 기판(Anode plate)(15) 상에 전극을 패터닝(patterning)한 후 전기영동(Electrophoretic), 스크린 프린팅(screen printing), 슬러리(slurry) 법등으로 형광체(phosphor)(17)를 형성한다. 또한, 블랙 매트릭스(black matrix)(미도시)도 통상의 방법으로 형성시킨다. 양극 패턴(Anode pattern)에는 그리드(grid) 전극(22)도 포함되어 있다.

둘째, 도 3b에 도시된 바와 같은 스페이서(Spacer)(18)를 형성한다. 형광체 및 블랙 매트릭스 형성 공정이 끝난 전면 기판(anode plate) 위에 스페이서는 다음과 같은 방법으로 형성한다.

도 3a에 도시된 바와 같이, 전면 기판(15)의 양쪽 가장자리에 스페이서를 고정하기 위한 스페이서 홀더(spacer holder)(20, 21)를 형성한다. 스페이서 홀더(Spacer holder)(20, 21)에는 스페이서(spacer)를 끼울 수 있는 홈들을 형성시킨다. 스페이서 홀더(Spacer holder)(20, 21)는 통상의 유리로 형성하며 두께는 약 700 μm 로 한다. 제1스페이서 홀더(20)는 일체형으로 형성하며, 제2스페이서 홀더(21)는 날개로 형성되어 한개 당 한개의 스페이서를 끼울 수 있도록 한다. 이 홈 사이에 알루미나(alumina) 재질인 스페이서(spacer)를 끼우고 스페이서(spacer)를 형광체(17)에 대하여 정렬(align)시킨다. 스페이서(18)는 도 3b에 도시된 바와 같이 요철 모양으로 형성된다. 즉, 스페이서(18)는 양극 쪽에 접해있는 지지부분(d1), 가운데의 살부분(d2), 음극(cathode)에 접해있는 지지부분(d3)으로 나뉘어져 있다. 각각의 거리를 도 3에 도시된 바와 같이, d1, d2, d3라고 하면, 이 중 음극(cathode)과 접하게 될 지지부분의 거리 d3값이 다음의 금속 메쉬 그리드 형성 방법에서 설명되듯이 중요하다.

세째, 도 3a에 도시된 바와 같이, 메쉬 그리드(Mesh grid)(19)와 그리드 전극(22)을 각각 붙이기 위한 유리 홀더(23) 및 제1,2 스페이서 홀더(holder)(20, 21)를 형성한다. 만일 홀더 없이 메쉬 그리드(mesh grid)(19)와 그리드 전극(22)을 바로 붙인다면 스페이서의 단차로 인한 높이 차로 인하여(도 5참조), 메쉬 그리드가 휘어져야 한다. 이를 피하기 홀더(holder)(20, 21, 23)를 다음과 같이 형성한다.

먼저, 형상에 있어서는 메쉬 그리드 전극(22) 보다 약간 작은 면적으로 하며 높이는 메쉬 그리드(mesh grid)가 스페이서 상에 형성될 때 해당하는 높이 즉, d1+d2에 해당하는 높이로 형성한다. 다음에, 재질로는 소다 석회(soda lime) 등 유리(Glass) 재질을 사용한다. 다음에, 제1,2스페이서 홀더(20, 21)에서 홈의 깊이는 d2로 하여 스페이서의 가장자리가 홈에 꼭 맞게 끼일 수 있도록 하고, 홀더(20, 21, 23)를 전면 기판(15)에 붙일 때에는 통상의 접착 페이스트(paste)를 사용하여 붙인다.

네째, 도 3c에 도시된 바와 같은 금속 메쉬 그리드(Metal Mesh grid)를 다음과 같은 방법으로 형성한다. 메쉬 그리드의 재질은 스테인리스 강(stainless steel)인 서스(Suss) 또는 인바(Inva) 강을 사용한다. 인바(Inva) 강은 CRT 제조시 새도우 마스크(shadow mask)로 쓰이는 재료로써, 열 팽창계수가 일반 서스(Suss)에 비하여 훨씬 작다. 이는 다음의 소성 공정시에 발생하는 열응력을 줄이는데 특히 효과적이다. 따라서, Inva강은 대면적용 FED제조시에 사용된다. 소형 FED제조시에는 통상의 suss강도 가능하다.

또한, 메쉬 그리드의 개구부 패턴은 도 4에 도시된 바와 같이, 1 도트(dot) 크기로 된 개구부(19')는 어레이(array)로 형성한다. 하나의 개구부 즉 메쉬 도트(mesh dot)(19')에 하나의 형광체 색상(color)(17)이 대응된다. 도 3c에 도시된 바와 같이, 스페이서(spacer)가 실제로 음극(cathode) 및 양극을 지지하는 부분의 사이즈(size)에 해당하는 절개부(19a)를 형성한다. 메쉬 그리드(19)의 두께는 약 50~100 μ m로 한다.

그리고, 전처리 과정으로서, 앞서의 공정에서 만들어진 금속 메쉬 그리드(Metal mesh grid) 내에는 잔류응력이 남아있을 가능성이 있고, 이를 그냥 사용하게 되면 다음 소성 공정 중에 금속 메쉬 그리드의 뒤틀림이 일어날 수 있다. 따라서, 전소성(pre-firing) 공정을 거친다. 즉, 금속 메쉬 그리드를 금속 메쉬 그리드 전체 크기 보다 약간 큰 유리 2개 사이에 끼워넣고 300~500 $^{\circ}$ C 사이의 온도에서 소성을 행한다. 이렇게 하면, 금속 메쉬 그리드 내 남아있는 잔류응력이 모두 사라져서 소성 공정 후에도 평탄(flat)한 형상을 유지할 수 있다.

다음으로, AI 증착(deposition)을 실시하는데, 소성 공정 중에 금속 메쉬 그리드는 산화되기 때문이다. 금속 메쉬 그리드에 산화가 일어나는 경우 전기 전도도 및 표면 특성이 바뀔 가능성이 있으므로, 매우 부드러운 물질인 AI 금속을 메쉬 그리드의 양면에 코팅(coating)한다. 이 공정은 생략할 수도 있다.

다섯째, 도 3d에 도시된 바와 같이, 메쉬 그리드(Mesh grid)를 양극(anode)과 정렬하여 전면 기판에 접합시킨다. 먼저, 메쉬 그리드(Mesh grid)의 양극에 대한 정렬(alignment to anode)을 하는데, 홀더(20, 21, 23) 형성 공정을 거친 전면 기판의 양극(16)에 금속 메쉬 그리드(metal mesh grid)(19)를 끼워 넣은 후 고정용 페이스트(paste)를 도포한다. 페이스트는 초기 상태에는 점도가 있으므로 이 때, 메쉬 그리드를 양극에 정렬(alignment)시킨다. 정렬(Alignment)을 시킨 후의 형상이 도 4a 및 도 4b에 도시되어 있다. 양극과 메쉬 그리드의 정렬이 끝난뒤 메쉬 그리드가 전면 기판에 페이스트에 의해 고정되면, 도 5에 도시된 바와 같이, 메쉬 그리드 전극(22)과 메쉬 그리드(mesh grid)(19)를 전기적으로 연결시키기 위하여 도전성 페이스트(Conducting paste)(24)를 도포한다. 다음에, 전면 기판의 건조(drying) 및 소성 페이스트(firing Paste)를 소성하기 위하여 도전성 페이스트 도포후 100~250 $^{\circ}$ C에서 전면 기판을 건조시킨 다음, 300~450 $^{\circ}$ C에서 소성 공정을 실시한다.

다음에, 마이크로팁(필드 에미터 어레이)들이 형성된 배면 기판(11)과 메쉬 그리드가 정렬된 전면 기판(15)을 결합하여 통상의 방법으로 패키징하여 FED를 얻는다.

이와 같은 방법으로 얻어진 FED는 방출 전자의 포커싱(Focusing)을 조절한다. 즉, 전계 방출 소자가 완성되면 색순도(Color purity) 및 휘도(brightness)를 조정하는데, 다음과 같은 방법으로 조절한다.

먼저, 통상의 전압을 게이트 및 양극에 인가하는데, 게이트에는 대략 70~120V의 전압을 인가하고, 양극에는 대략 1KV 이상의 전압을 인가한다.

다음에, 메쉬 그리드(MeshGrid)의 전압은 -100V~300V로 조절하여 최적의 마이크로팁(microtip)으로부터 방출된 전자 빔 집속(beam Focusing) 조건을 찾는다.시뮬레이션 결과로는 도 6에 도시된 바와 같이 약 -30~-40V의 메쉬 그리드 전압에서 대부분의 전자들이 편향(deflect)되어, FEA's 쪽으로 되돌아 왔으며, 금속 메쉬 그리드의 각 도트 패턴(dot pattern)의 거의 정중앙을 지나는 전자들만이 해당 형광체(phosphor)를 가격하게 되어, 색순도(color purity)가 좋아지게 된다. 실제 실험에 의한 육안 관측 결과는 -10V~10V 정도의 메쉬 그리드 전압에서 최적의 색순도(color purity)를 얻을 수 있었다.

다음에, 앞서와 같이 금속 메쉬 그리드에 인가되는 전압을 가변하여 주면, 최적의 색순도(color purity)를 가지는 조건을 찾을 수 있으나, 이와 동시에 휘도(brightness)를 고려하여야 한다. 이와 같이 휘도를 고려한 측정 결과는 도 7에 나타난 바와 같이, 그리드 전압 V_{grid} (grid voltage)에 따른 양극 전류 I_a (anode current)를 살펴보면, 그리드 전압 V_{grid} (grid voltage)에 따라서 양극 전류 I_a (anode current)의 값이 급변함을 알 수 있다. 앞서와 같이 색순도(color purity)를 얻기위하여, V_{grid} 를 거의 0V로 인가하게 되면, I_a 값이 작아져서 2kV의 고전압에서도 원하는 휘도를 얻기 어렵다. 따라서, 색순도(color purity)와 휘도(brightness)를 동시에 얻기 위하여 고려되어야 할 가장 중요한 인자(factor)가 금속 메쉬 그리드(Metal mesh grid)와 FEAs(Field emitter arrays)의 게이트와의 거리인데, 특히 $d3$ (도 3b 참조)- t_{mesh} (도 5참조)가 중요하다. 여기서, t_{mesh} 는 금속 메쉬 그리드의 두께이다. 도 8a에 나타나 있듯이, $d3-t_{mesh}$ 의 값 즉 금속 메쉬 그리드와 게이트 간의 거리가 작을수록 전계 방출 소자의 전자빔 궤적(e-beam trajectory)이 좋을 수 있다. 즉, 도 8b에 나타난 바와 같이 이 거리가 340 μ m 정도이면, FEA's의 마이크로팁에서 수직방향으로부터 30. 정도의 각도로 방출되는 대부분의 전자들의 궤적(trajecory)은 해당 메쉬 그리드를 통한 해당 형광체를 가격하지 못하고, 이웃하는 형광체(phosphor)를 가격하게 된다. 따라서, FED로 표시되는 영상(image)의 색순도(color purity)가 저하된다.

따라서, 색순도(color purity)와 휘도(brightness)를 동시에 고려한 그리드 전압 및 $d3-t_{mesh}$ 값은 각각 0V 부근 및 100 μ m 정도가 최적이다.

또한, 전계 방출 소자 제작시에는 게이트와 금속 메쉬 그리드 간의 전류 누설(leakage)이 생기지 않도록 하는 것이 중요하다. 금속 메쉬(metal mesh)와 게이트에 인가되는 전압이 다르므로, 이 거리가 짧아짐에 따라서 메쉬 그리드의 국부적 왜곡에 의한 전류 누설 문제가 발생할 수 있다. 이를 방지하기 위하여 제작 공정에서 메쉬 그리드와 양극을 정렬하여 메쉬 그리드를 전면 기판에 접합하기 전에 메쉬 그리드에서 게이트 쪽으로 향하는 면쪽에 SiO_2 박막이나, 폴리이미드(polyimide) 등의 절연체등을 사용하여 금속 메쉬 그리드의 전면면에 코팅(coating)함으로써, 누설 전류를 방지할 수 있다. 이 공정 사용시에는 금속 메쉬 그리드와 게이트 간의 거리가 거의 0으로 될 수 있다. 이 경우 대부분의 전자가 금속 메쉬 그리드를 통해 양극 쪽으로 가게된다. 따라서, 양극 전류를 증가시킬 수 있게 되어 휘도가 더욱 증가하게 된다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 아크(Arcing)에 의한 손상(damage)을 방지하고 방출 전자의 집속(focusing)을 도와주는 메쉬 그리드를 채용한 전계 방출 소자(Field Emission Device)는 게이트와 양극들 사이의 공간에 양극들과 음극들의 교차점들에 대응하는 영역들에 마이크로 팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드를 구비하고, 또한 이 금속 메쉬 그리드의 위치를 요철 형태의 막대 스페이서로 조정하여 설치함으로써, Arcing시 cathode에 발생되는 damage가 없고, arcing 발생이 최소화 되므로써 anode에 고전압의 인가가 가능하여 고휘도의 FED를 얻을 수 있다. 또한, 금속 메쉬 그리드에 인가하는 전압을 가변함으로써, 전자 beam focusing이 가능하므로, 높이가 큰 spacer를 쓰더라도 display color purity가 좋아진다.

청구항 1.

일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판;

상기 배면 기판 상에 스트라이프 상으로 형성된 음극들;

상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홈들을 갖는 절연층;

상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홈들에 대응하는 개구부를 갖는 게이트들;

상기 홈들에 의해 노출된 음극 상에 형성된 마이크로팁들;

상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 및

상기 양극들 상에 도포된 형광체;를 구비한 전계 방출 소자에 있어서,

상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 것을 특징으로 하는 전계 방출 소자.

청구항 2.

제1항에 있어서,

상기 금속 메쉬 그리드는 음극과 나란한 방향으로 요철 형태로 형성된 막대 모양의 스페이서에 지지되며, 상기 스페이서의 요철에서의 돌출부가 삽입되는 절개부를 갖도록 형성된 것을 특징으로 하는 전계 방출 소자.

청구항 3.

제1항 또는 제2항에 있어서,

상기 금속 메쉬 그리드의 상기 게이트 대향면 상에는 절연막이 코팅된 것을 특징으로 하는 전계 방출 소자.

청구항 4.

제1항 또는 제2항에 있어서,

상기 금속 메쉬 그리드는 스테인리스 강으로 형성된 것을 특징으로 하는 전계 방출 소자.

청구항 5.

제2항에 있어서,

상기 스페이서는 유리로 형성된 것을 특징으로 하는 전계 방출 소자.

청구항 6.

제2항에 있어서,

상기 전면 기판의 양쪽 가장자리에는 상기 막대 모양의 스페이서 가장자리가 각각 결합되는 홈들을 갖는 스페이서 홀더;가 부착되고, 상기 전면 기판의 4개의 가장자리 중 상기 스페이서 홀더가 형성되지 않는 가장자리에는 상기 금속 메쉬 그리드를 지지하는 유리 홀더 및 이 유리 홀더에 연이은 상기 전면 기판의 영역에 상기 금속 메쉬 그리드에 전압을 인가하기 위한 전극 단자가 형성된 것을 특징으로 하는 전계 방출 소자.

청구항 7.

일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판; 상기 배면 기판 상에 스트라이프 상으로 형성된 음극들; 상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홈들을 갖는 절연층; 상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홈들에 대응하는 개구부를 갖는 게이트들; 상기 홈들에 의해 노출된 음극 상에 형성된 마이크로팁들; 상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 상기 양극들 상에 도포된 형광체; 및 상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 전계 방출 소자의 제작 방법에 있어서,

(가) 상기 배면 기판 상에 상기 음극, 절연층, 게이트 및 마이크로팁들을 형성하는 단계;

(나) 상기 전면 기판 상에 양극들 및 형광체를 형성하고, 그 위에 상기 금속 메쉬 그리드를 제작하여 그 개구부들이 상기 양극들과 정렬되도록 하여 고정시키는 단계; 및

(다) 상기 (가) 및 (나) 단계에서 각각 형성된 배면 기판과 전면기판을 결합시켜 패키징하는 단계;를

포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 8.

제7항에 있어서,

상기 (나) 단계에서 상기 메쉬 그리드의 각 개구부는 상기 각 형광체 색상과 일대일로 대응되도록 형성된 것을 특징으로 하는 전계 방출 소자의 제작 방법.(메쉬 그리드(19)의 두께는 약 50~100 μ m로 한다.)

청구항 9.

제7항에 있어서,

상기 (나) 단계에서, 상기 메쉬 그리드는 남아 있는 잔류 응력을 제거하기 위하여,

상기 금속 메쉬 그리드를 미리 소성하는 전소성 단계; 및

상기 전소성된 금속 메쉬 그리드를 이 금속 메쉬 그리드 전체 크기 보다 큰 두 개의 유리 기판 사이에 끼워넣고 300~500℃ 사이의 온도에서 소성을 행하는 단계;를

더 포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 10.

제9항에 있어서,

상기 전소성 단계에 앞서 상기 금속 메쉬 그리드의 양면 전체에 Si를 증착하는 단계;를 더 포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 11.

제7항에 있어서,

상기 금속 메쉬 그리드는 음극과 나란한 방향으로 요철 형태로 형성된 막대 모양의 스페이서에 지지되며, 상기 스페이서의 요철에서의 돌출부가 삽입되는 절개부를 갖도록 형성된 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 12.

제7항에 있어서,

상기 (나) 단계에서 상기 금속 메쉬 그리드의 상기 게이트 대향면 상에 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 13.

제7항에 있어서, 상기 (나) 단계는,

(나-1) 상기 막대 모양의 요철형 스페이서를 알루미늄으로 제작하는 서브 단계;

(나-2) 상기 전면 기판의 양쪽 가장자리에 상기 스페이서를 고정하기 위한 홈들을 갖는 제1스페이서 홀더와 제2스페이서 홀더 및 상기 메쉬 그리드와 이 메쉬 그리드에 전압을 인가하기 위한 전극 단자를 각각 붙이기 위한 홀더를 형성하는 서브 단계;

(나-3) 상기 메쉬 그리드를 상기 양극들과 정렬하여 상기 전면 기판에 접합시키는 서브 단계;를

포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 14.

제13항에 있어서,

상기 (나-2) 서브 단계에서 상기 스페이서 홀더 유리로 형성하되, (두께는 약 700 μ m로 한다) 상기 제1스페이서 홀더는 일체형으로 형성하며, 상기 제2스페이서 홀더는 날개로 형성하여 한개 당 한개의 스페이서를 끼울 수 있도록 하여 상기 제1스페이서 홀더의 홈 사이에 상기 스페이서를 끼우고 상기 스페이서를 형광체에 대하여 정렬시키는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 15.

제14항에 있어서, 상기 (나-2) 서브 단계에서,

상기 요철 모양의 스페이서에서 양극 쪽에 접해있는 지지부분의 길이를 d1, 가운데의 살부분의 길이를 d2, 상기 음극에 접해있는 지지부분의 길이를 d3라 할 때, 상기 제1스페이서 홀더 및 상기 제2스페이서 홀더에서 홈의 깊이는 d2로 형성하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 16.

제14항에 있어서, 상기 (나-2) 서브 단계에서,

상기 요철 모양의 스페이서에서 양극 쪽에 접해있는 지지부분의 길이를 d1, 가운데의 살부분의 길이를 d2, 상기 음극에 접해있는 지지부분의 길이를 d3라 할 때, 상기 홀더는 상기 메쉬 그리드의 전극 단자 보다 면적은 작고, d1+d2에 해당하는 높이로 형성하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 17.

제13항에 있어서, 상기 (나-3) 서브 단계는,

(나-3-1) 상기 전면 기판의 양극들에 정렬된 상기 스페이서들의 돌출부를 상기 금속 메쉬 그리드의 절개부에 끼워 넣은 후 고정용 페이스트를 도포하는 서브 단계;

(나-3-2) 상기 고정용 페이스트가 굳기 전에 상기 메쉬 그리드의 개구부와 상기 양극들을 정렬시키는 서브 단계;

(나-3-3) 상기 메쉬 그리드를 상기 메쉬 그리드 전극 단자와 전기적으로 연결시키기 위하여 도전성 페이스트를 상기 홀더 상에 얹힌 상기 메쉬 그리드의 가장자리와 상기 전극 단자 상면의 상기 홀더 측면에 도포하는 서브 단계;

(나-3-4) 상기 도전성 페이스트 도포후 100~250℃에서 상기 전면 기판을 건조시킨 다음, 300~450℃에서 소성 공정을 실시하는 서브 단계;를

포함하는 것을 특징으로 하는 전계 방출 소자의 제작 방법.

청구항 18.

일정한 간격을 두고 서로 대향되게 배치된 전면 기판 및 배면 기판; 상기 배면 기판 상에 스트라이프 상으로 형성된 음극들; 상기 배면 기판 및 음극들 상에 도포되어 상기 음극이 일정한 규칙적으로 노출되게 하는 홀들을 갖는 절연층; 상기 절연층 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 형성되어 상기 홀들에 대응하는 개구부를 갖는 게이트들; 상기 홀들에 의해 노출된 음극 상에 형성된 마이크로팁들; 상기 전면 기판 상에 상기 음극들과 교차하는 방향의 스트라이프 상으로 배치된 양극들; 상기 양극들 상에 도포된 형광체; 및 상기 게이트와 상기 양극들 사이의 공간에 상기 양극들과 상기 음극들의 교차점들에 대응하는 영역들에 상기 마이크로팁들로부터 방출된 전자들이 통과할 수 있도록 하는 개구부가 형성된 금속 메쉬 그리드;를 구비한 전계 방출 소자의 방출 전자 포커싱 방법에 있어서,

(가) 상기 게이트에 70~120V의 전압을 인가하고, 상기 양극에는 1KV 이상의 전압을 인가하는 단계;

(나) 상기 메쉬 그리드에 인가되는 전압을 -100V~300V로 조절하여 상기 마이크로팁으로부터 방출되는 전자 빔의 최적의 집속 조건을 찾는 단계;

(다) 상기 금속 메쉬 그리드에 인가되는 전압을 가변하면서 최적의 색순도를 가지는 조건을 찾되, 이와 동시에 휘도를 고려하여 상기 금속 메쉬 그리드와 게이트 간의 간격($d3-t_{\text{mesh}}$)을 바꿔가면서, 표시되는 영상(image)의 색순도 및 휘도가 최적인 조건을 찾는 단계;를

포함하는 것을 특징으로 하는 전계 방출 소자의 방출 전자 포커싱 방법.

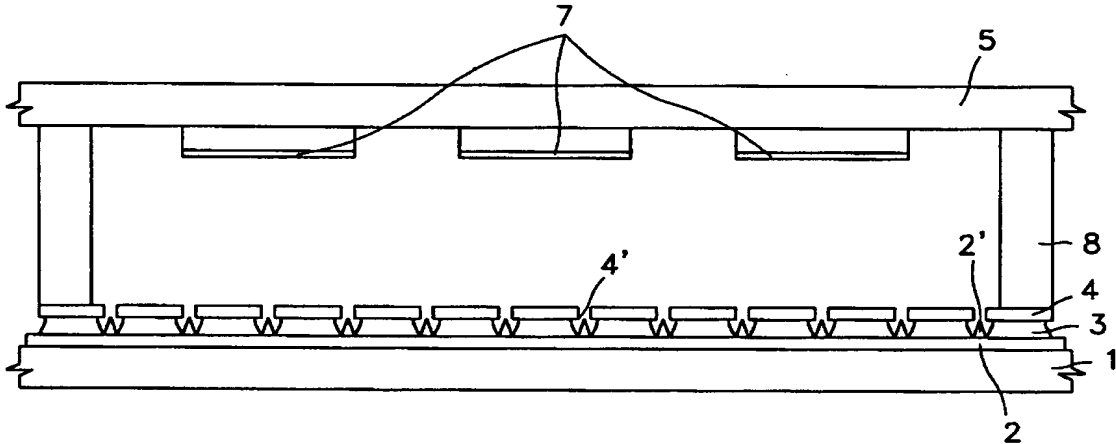
청구항 19.

제18항에 있어서,

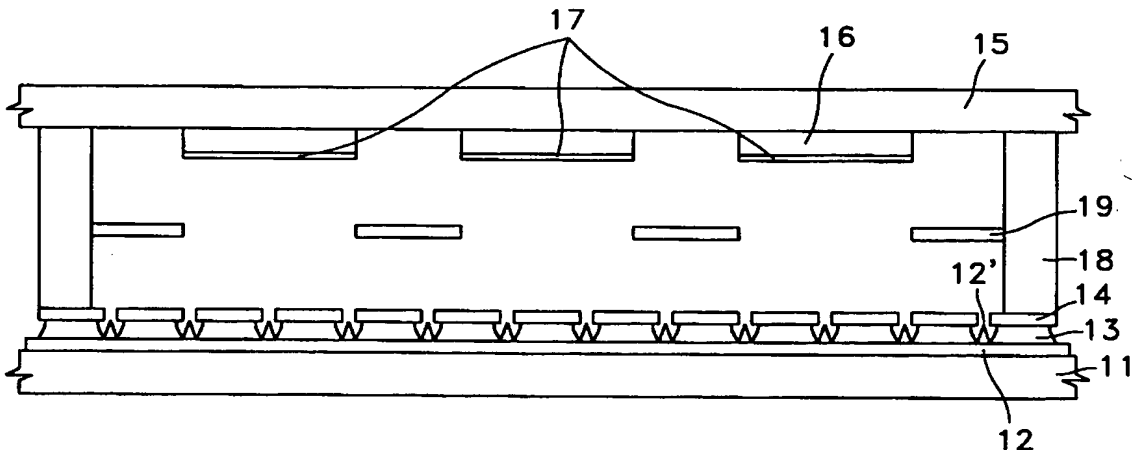
상기 (다) 단계에서, 상기 메쉬 그리드의 인가 전압을 0V로 하고, 상기 메쉬 그리드와 게이트 간의 간격($d3-t_{\text{mesh}}$)을 100 μm 조절하는 것을 특징으로 하는 전계 방출 소자의 방출 전자 포커싱 방법.(이 청구항의 모든 치수 즉 양극과 게이트와 의 메쉬 그리드 상호 간의 간격 및 인가 전압 이 총체적으로 정의되어야 유효할 것을 사료됨)

도면

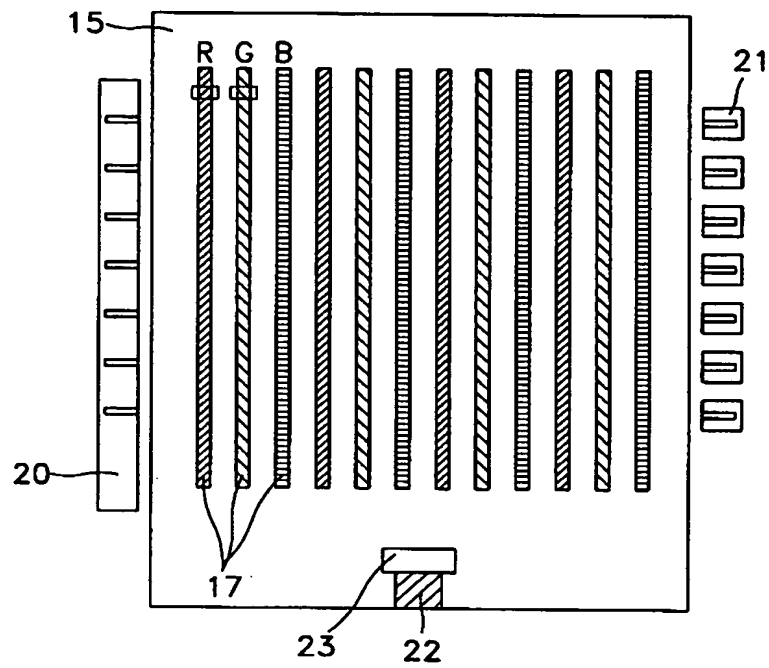
도면 1



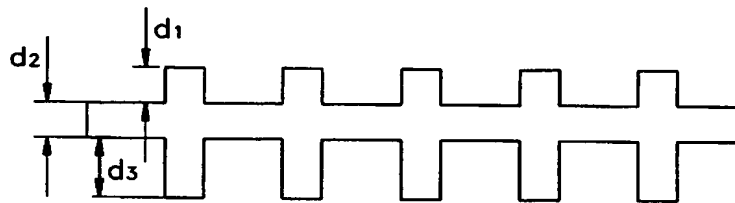
도면 2



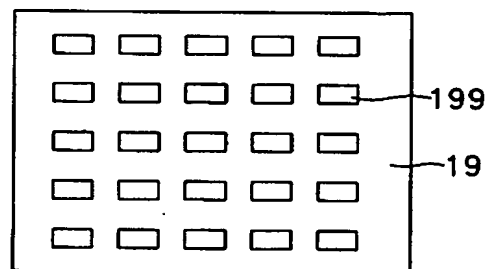
도면 3a



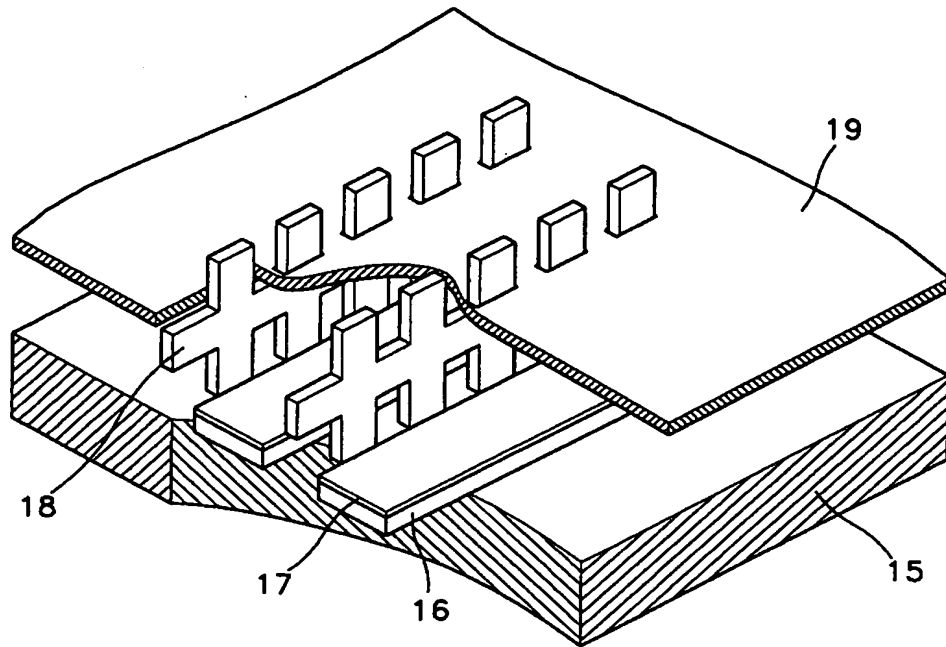
도면 3b



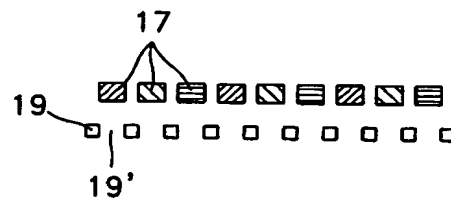
도면 3c



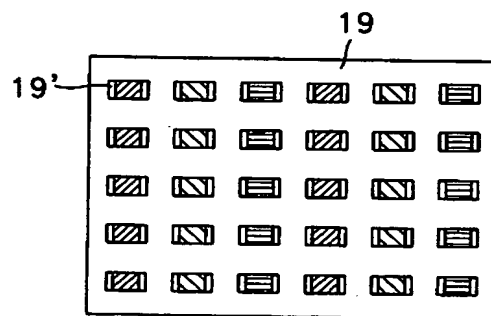
도면 3d



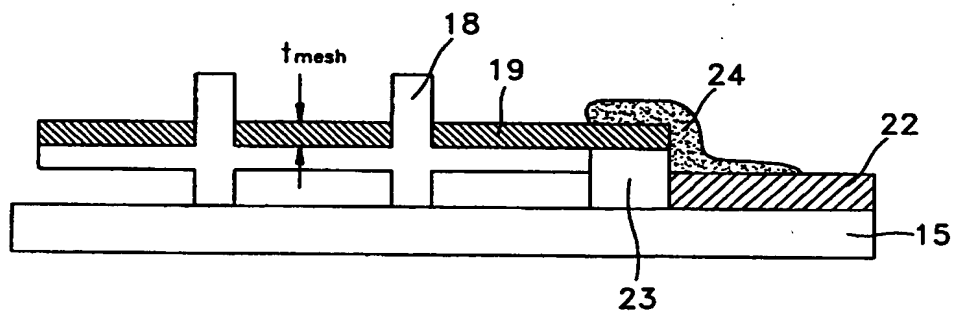
도면 4a



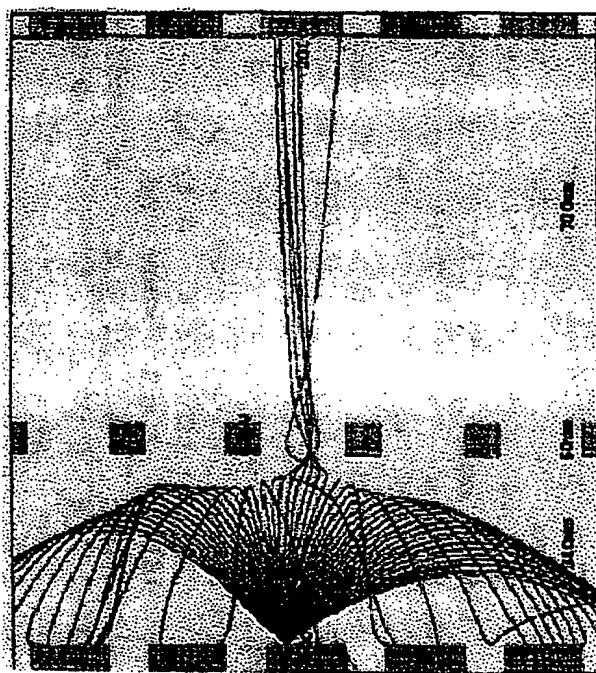
도면 4b



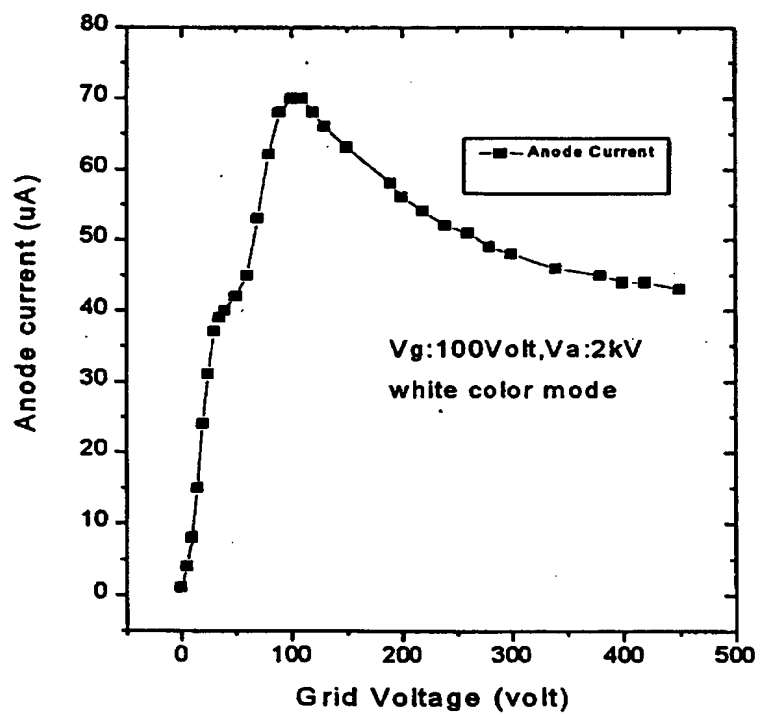
도면 5

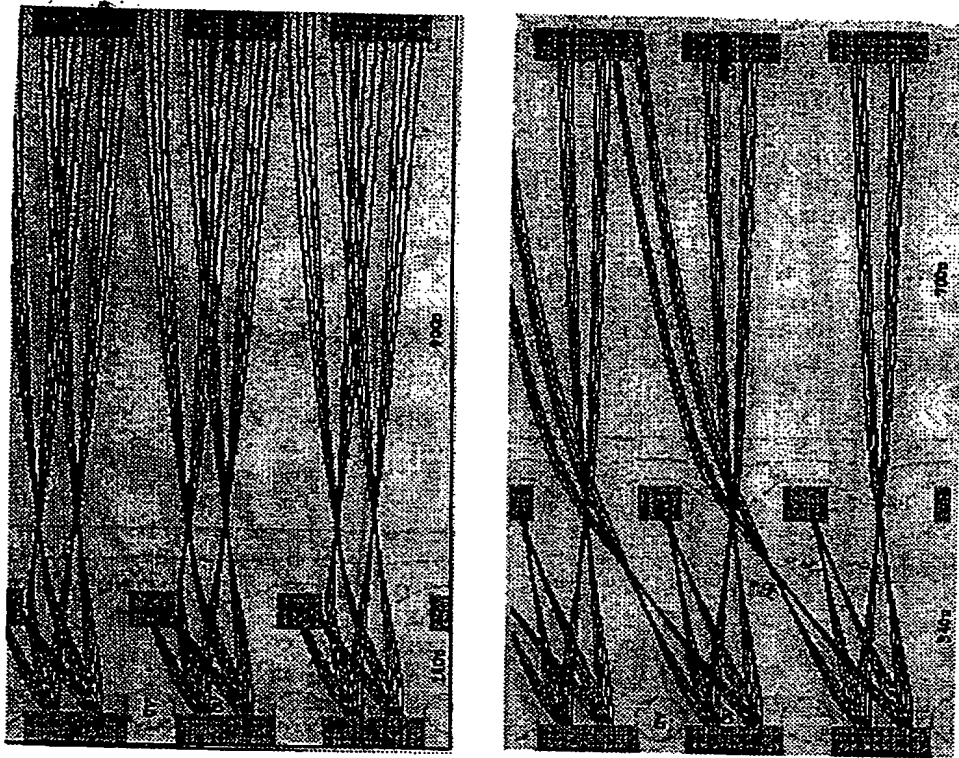


도면 6



도면 7





BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-335458

(43)Date of publication of application : 18.12.1998

(51)Int.Cl.

H01L 21/768

H01L 21/316

H01L 21/318

(21)Application number : 09-142447

(71)Applicant : NEC CORP

(22)Date of filing : 30.05.1997

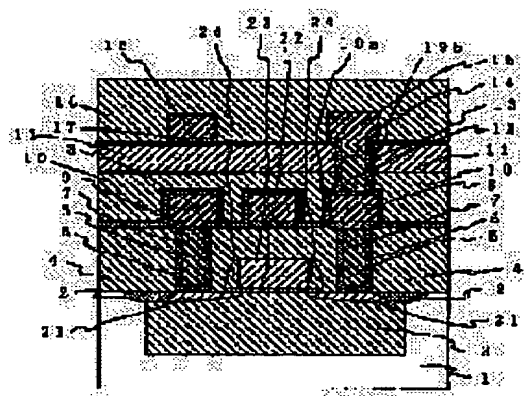
(72)Inventor : ODA NORIAKI
MATSUMOTO AKIRA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can suppress an increase in a leakage current between adjacent wiring lines, and can suppress reduction of a wiring reliability when a wiring pitch is small, and a method for manufacturing the semiconductor device.

SOLUTION: A region 19a containing nitrogen is formed in a first oxide film 9 to cover a wiring layer 8, a low permittivity film (HSQ) 10 is formed on the region 19a, and a second oxide film 11 is formed on the film 10. A region 19b containing nitrogen is formed in a side wall of a via hole 12 made in an interlayer insulating film including the film 10. The regions 19a and 19b containing nitrogen shield a water content. Thereby, a leakage current between adjacent wiring lines and a reduction in a wiring reliability caused by a water content contained in the film 10 can be prevented, and an increase in the resistance of the via hole 12 and incomplete open pattern thereof caused by the water into the via hole 12 can be avoided.



LEGAL STATUS

[Date of request for examination] 30.05.1997

[Date of sending the examiner's decision of rejection] 27.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-335458

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

M

21/316

21/316

M

21/318

21/318

C

21/90

V

審査請求 有 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平9-142447

(71)出願人 000004237

日本電気株式会社

(22)出願日 平成9年(1997)5月30日

東京都港区芝五丁目7番1号

(72)発明者 小田 典明

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 松本 明

東京都港区芝五丁目7番1号 日本電気株式会社内

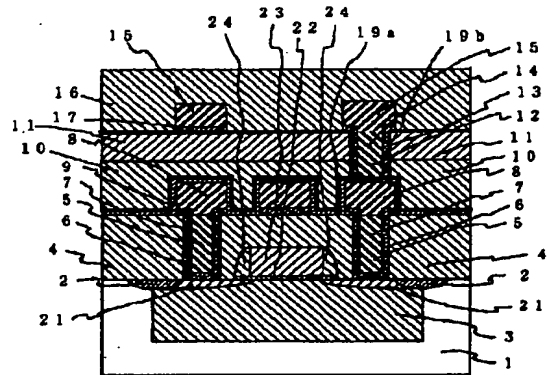
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 低誘電率膜を層間絶縁膜に用いる半導体装置では、低誘電率膜が含み易い水分による隣接配線間リークや配線信頼性低下、さらにヴァイア・ホール抵抗の上昇やオープン不良が発生し易い。

【解決手段】 配線8を覆うように第1の酸化膜9に窒素を含む領域19aを形成し、その上に低誘電率膜(HSQ)10を形成し、その上に第2の酸化膜11を形成する。また、低誘電率膜10を含む層間絶縁膜に形成されたヴァイア・ホール12の側壁に窒素を含む領域19bを形成する。窒素を含む領域19a、19bが水分を遮断することにより、低誘電率膜10に含まれる水分による隣接配線間リークや配線信頼性の低下が防止でき、またヴァイア・ホール12内への水分の噴出によるヴァイア・ホール抵抗の上昇やオープン不良が防止される。



- 1 半導体基板 2 素子分離領域 3 絶縁層基板
- 4 第1の層間絶縁膜 5 コンタクト開口部 6 バリアメタル
- 7 タングステン 8 第1導配線 9 第1の酸化膜
- 10 HSQ 11 第2の酸化膜 12 ヴァイア・ホール
- 13 バリアメタル 14 タングステン 15 第2層配線
- 16 カバー膜 21 ソース・ドレイン領域 22 ゲート酸化膜
- 23 ゲート電極 24 側壁酸化膜 19a, 19b: 窒素を含む領域